

(b)

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 03-099863

(43)Date of publication of application : 25.04.1991

(51)Int.Cl.

B41J 2/45

B41J 2/455

G03G 15/04

H04N 1/036

(21)Application number : 01-238105

(71)Applicant : TOKYO ELECTRIC CO LTD

(22)Date of filing : 13.09.1989

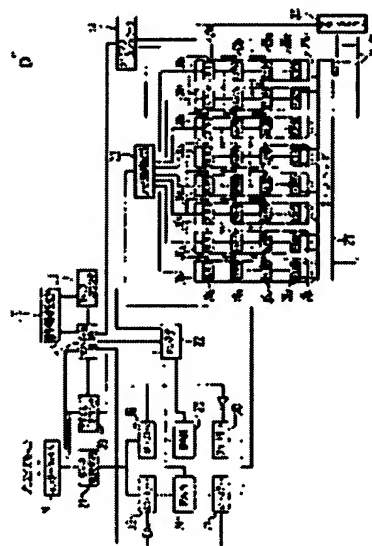
(72)Inventor : MOCHIZUKI MASARU
TAMURA TOSHIYUKI

(54) END LIGHT-EMITTING TYPE EL PRINTER

(57)Abstract:

PURPOSE: To decrease the deterioration of an end light-emitting type EL element by providing an element-deterioration preventing means which applies to the end of light-emitting type EL element at the time of no printing pulses having symmetrical voltages in positive and negative values with respect to the other reference potential.

CONSTITUTION: An inputted printing signal is compressed in the first data processing circuit 21 for every one main scanning line. The signal is stored in one of a RAM 19 and a RAM 20. At this time, the printing signal which is stored at a high speed is outputted from the RAM with a control circuit 13 and an address counter 11 which are operated in synchronization with a reference clock signal for the high speed output from a reference clock generator 12. The printing signal is processed again into a form suitable for printing in a second data processing circuit 23. The signals are outputted into IC 301 - 308 in parallel and held. The signals are controlled with a timing controller 14. Driving pulses at low voltages and high voltages are outputted into a line head 27. At the time of no printing, the pulses which are symmetrical in positive and negative values are applied to the end light-emitting type EL element, and the deterioration of the EL element can be decreased.



LEGAL STATUS

[Date of request for examination]
[Date of sending the examiner's decision of rejection]
[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
[Date of final disposal for application]
[Patent number]
[Date of registration]
[Number of appeal against examiner's decision of rejection]
[Date of requesting appeal against examiner's decision of rejection]
[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(b)

(b)

(19) 日本国特許庁 (J P) (12) 特 許 公 報 (B 2) (11) 特許公開公告番号
特公平8-32468
(20) (44) 公告日 平成 8 年 (1996) 3 月 29 日

(51)Int. Cl. ⁴		識別記号	戸内整理番号	F I	技術表示箇所
B 4 1 J	2/44	B 4 1 J	3/ 21	L	最終頁に続く
	2/45				
	2/455				
G 0 3 G 15/04		請求項の数 1 (全 7 頁)			

(71) 出 願 人		(72) 発 明 者		(73) 発 明 者		(74) 代 理 人		(56) 参 考 文 献	
特 許 平 1-238 05		望 月 勘		田 村 敏 行		井 理 士 柏 木 明		特 開 昭 63-19071 (J P, A)	
平 成 1 年 (1989) 9 月 13 日		平 成 3 年 (1991) 4 月 25 日		平 成 3 年 (1991) 4 月 25 日		平 成 3 年 (1991) 4 月 25 日		平 成 3 年 (1991) 4 月 25 日	
平 成 3 年 (1991) 4 月 25 日		平 成 3 年 (1991) 4 月 25 日		平 成 3 年 (1991) 4 月 25 日		平 成 3 年 (1991) 4 月 25 日		平 成 3 年 (1991) 4 月 25 日	

(54) 【発明の名称】 端面発光型 EL プリンタ

従来の技術

近年、電子写真法を利用するなどして開発されたプリンタの一つにラインプリンタが存在している。このラインプリンタとは、感光ドラムの周面上に帯電器、ラインヘッド、現像器、転写器等の装置を近接配置したもので、帯電器の印加電圧で帯電した感光ドラムの周面上、ラインヘッドに連設された発光素子の選択的な発光による光走査を行なって潜像を形成し、この感光ドラム周面上の潜像を現像器から供給されるトナーで現像し、このトナーを転写器で印刷用紙に転写するようにしている。このようなラインヘッドの発光素子としては LED などを使用されているが、これは発光強度と応答性を両立させることが困難である等の課題を有している。そして、現在ではラインヘッドの発光素子として端面発光型 EL 素子を使用することが考えられている。そこで、

【特許請求の範囲】

【請求項 1】 活性層を含む誘電体層の外面に相対向する電極を形成した端面発光型 EL 素子が連設されたラインヘッドを設け、このラインヘッドの各端面発光型 EL 素子に両電極から各々正負非対称の駆動パルスを印加して同期制御する駆動回路を設け、この駆動回路から電源投入中の非印刷時に前記端面発光型 EL 素子に印加される駆動パルスの一方を他方の基準電位に対して正負対称電圧のバルスとする素子劣化防止手段を設けたことを特徴とする端面発光型 EL プリンタ。

【発明の詳細な説明】

産業上の利用分野

本発明は端面発光型 EL 素子アレイからなるラインヘッドを利用した端面発光型 EL プリンタに関するものである。

で、この端面発光型 EL 素子を利用したラインヘッドを第 7 図及び第 8 図に基づいて説明する。このラインヘッド 1 の端面発光型 EL 素子 2 は、第 8 図に示すように、活性層を含む酸化亜鉛等からなる薄膜状の活性層 3 を上下から誘電体層 4、5 で囲み、これら誘電体層 4、5 の上下面に平均電圧 6、7 を形成し、前記活性層 3 の端面から極高平な光を出射するもので、上面が発光する従来のに比べて 100 倍程度の発光強度を得ることが可能である。そして、第 7 図に示すように、上記構造の端面発光型 EL 素子 2 を薄膜技術などでアレイ状に連設してロッドラインアレイ (図示せず) 等を取付けることで前記ラインヘッド 1 が形成される。

そこで、上記構造のラインヘッド 1 に駆動回路を接続して帯電器や現像器及び転写器等と共に感光体である感光ドラムの周面上に近接配置することで、各端面発光型 EL 素子 2 を選択的に発光させてドットマトリクスによる画像形成を行なうことができ、電子写真方式のラインプリンタ (図示せず) を製作することができる。

発明が解決しようとする課題

上述のような端面発光型 EL 素子 2 は、交流の駆動パルスが印加されることで発光する。そこで、このような端面発光型 EL 素子 2 からなるラインヘッド 1 を駆動する方法としては、各端面発光型 EL 素子 2 に両電圧 6、7 から駆動パルスを常時印加しておき、これらの駆動パルスの同期を制御することで合成パルスの電位を端面発光型 EL 素子 2 の閾値電圧以上以下として発光を制御すると云う方法が考えられる。

このような制御方法では非印刷時でも各端面発光型 EL 素子 2 に直流バイアスが印加されることになる。だが、端面発光型 EL 素子 2 は、その特性上、電位が正負非対称のパルスが印加されていると発光しなくとも薄膜内の劣化が進行して光出力が低下する。従って、上述のように印刷の有無に関わらず各端面発光型 EL 素子 2 に直流バイアスを常時印加しておく方法では、端面発光型 EL 素子 2 からなるラインヘッド 1 の経年変化が大きくなり、端面発光型 EL プリンタ 1 の耐久性が低いことになる。

課題を解決するための手段

活性層を含む誘電体層の外面に相対向する電極を形成した端面発光型 EL 素子が連設されたラインヘッドを設け、このラインヘッドの各端面発光型 EL 素子 2 に両電極から各々正負非対称の駆動パルスを印加して同期制御する駆動回路を設け、この駆動回路から電源投入中の非印刷時に端面発光型 EL 素子 2 に印加される駆動パルスの一方を他方の基準電位に対して正負対称電圧のバルスとする素子劣化防止手段を設ける。

作用

活性層を含む誘電体層の外面に相対向する電極を形成した端面発光型 EL 素子が連設されたラインヘッドを設け、このラインヘッドの各端面発光型 EL 素子 2 に両電極から各々正負非対称の駆動パルスを印加して同期制御する

駆動回路を設け、この駆動回路から電源投入中の非印刷時に端面発光型 EL 素子 2 に印加される駆動パルスの一方を他方の基準電位に対して正負対称電圧のバルスとする素子劣化防止手段を設けたことにより、非印刷時には正負対称のパルスが端面発光型 EL 素子 2 に印加されることになり、その特性のため、直流バイアスや電位が正負非対称のパルスが印加されている場合に比して端面発光型 EL 素子 2 の劣化を低減できる。

実施例

10 本発明の実施例を第 1 図ないし第 6 図に基づいて説明する。まず、この端面発光型 EL プリンタ 8 の駆動回路の構造を第 1 図に示すブロック図に基づいて説明する。まず、インターフェイス 9 には、二重のアドレスカウンタ 10、11 と基準クロック 12 とが接続されたコントロール回路 13 を介し、タイミングコントロール 14 が接続されている。

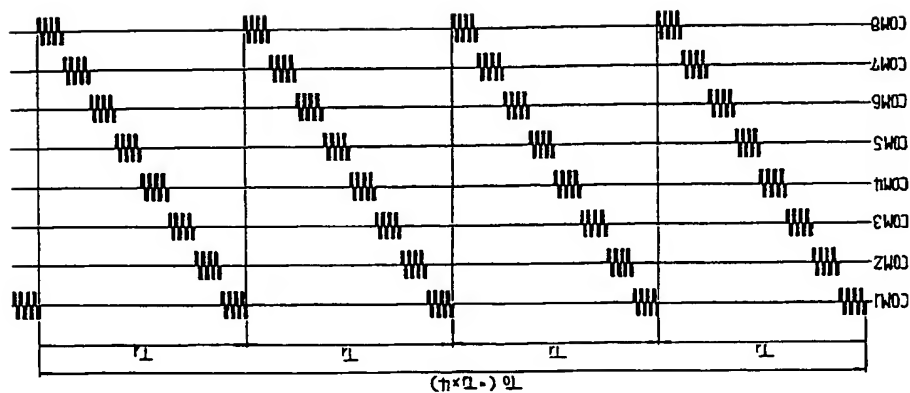
また、前記インターフェイス 9 は、各々リソースポート 15~18 が入出力部に接続された二重の RAM 19、20 に第一のデータ処理回路 21 を介して接続されており、これら RAM 19、20 には、前記コントロール回路 13 と前記アドレスカウンタ 10、11 とがセレクト 22 を介して接続されている。さらに、前記 RAM 19、20 は、前記タイミングコントロール 14 が接続された第二のデータ処理回路 23 に前記リソースポート 17、18 を介して接続されている。

また、各々ラッチ 24₁~24₈ と排他的論理和回路 25₁~25₈ とドライバ 26~28 とを介してラインヘッド 29 のプロック電圧 28 に接続された八重のシフトレジスタ 29₁~29₈ に、前記データ処理回路 23 がパレレルに接続されている。なお、この端面発光型 EL プリンタ 8 では、前記した 8 組の回路 24~26、28 が各々一つの IC 30₁~30₈ 内に形成されている。

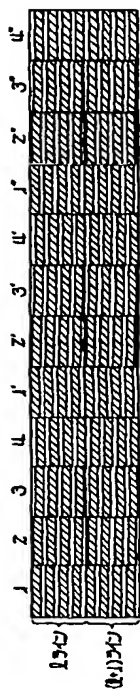
また、前記タイミングコントロール 14 は、前記ラインヘッド 27 の共通電圧 31~31m に接続された共通ドライバ 32 と、前記ラッチ 24₁~24₈ とシフトレジスタ 29₁~29₈ 及び排他的論理和回路 25₁~25₈ に接続されている。なお、前記ラインヘッド 27 の光学系等の構造は前述のラインヘッド 1 と同様になっている。

このような構成において、この端面発光型 EL プリンタ 8 では、インターフェイス 9 を介して入力された印刷信号 8 は、一重並列ラインヘッドに第一のデータ処理回路 21 で並び換え等の処理により圧縮され、二重の RAM 19、20 の一方に記憶される。つまり、ラインの走査時間内に置いて、アドレスカウンタ 10 のタイミング制御に従って選択された RAM 19、20 の一方に印刷信号が一時的に記憶される。この時、端面発光型 EL プリンタ 8 では、基準クロック 12 から発生される基準出力用の基準クロック 11 に動作するコントロール回路 13 及びアドレスカウンタ 11 により、他方の RAM から高速に記憶されている印刷信号を取り出すようになっている。そこで、この出力された印刷信号は、第二のデータ処理回路 23 で印刷に連した形態で

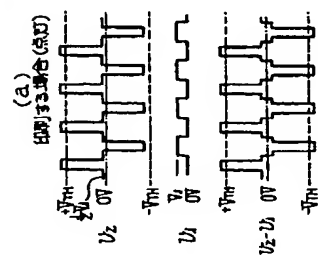
【採2図】



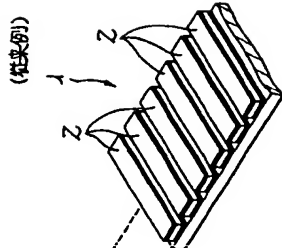
【图3续】



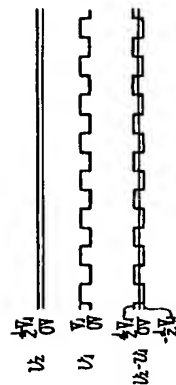
【例4】



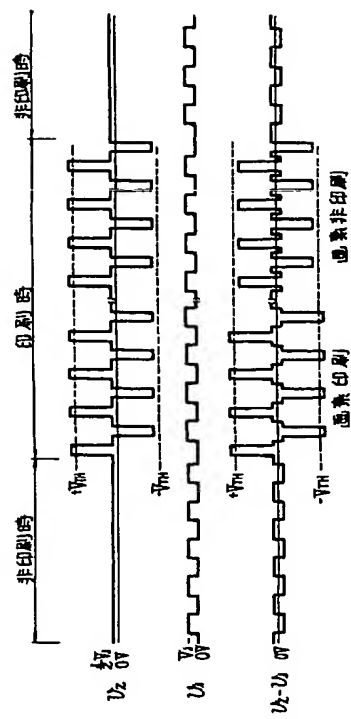
【第7図】



【第5図】



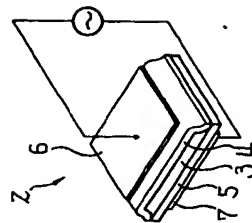
【採 6 図】



(7)

【第8図】

(従来例)



フロントページの続き

(51)Int. Cl. 6

H04N 1/036

特許記号 庁内整理番号

A

F I

技術表示箇所